

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

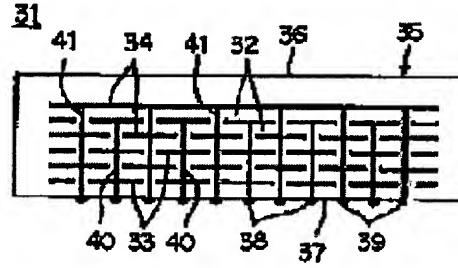
MONOLITHIC CAPACITOR

Patent number: JP11204372
Publication date: 1999-07-30
Inventor: NAITO YASUYUKI; TANIGUCHI MASAAKI; KURODA TAKAKAZU; KONDO TAKANORI
Applicant: MURATA MFG CO LTD
Classification:
- **International:** H01G4/30
- **European:**
Application number: JP19980242959 19980828
Priority number(s):

Abstract of JP11204372

PROBLEM TO BE SOLVED: To reduce the equivalent series inductance(ESL) of a monolithic capacitor.

SOLUTION: Both of first and second outer terminal electrodes 38 and 39 are formed on one main surface 37 of a capacitor body 35. Connection between a first inner electrode 33 inside the capacitor body 35 and the first outer terminal electrode 38 and interconnection between a plurality of first inner electrodes 33 are carried out by first viahole connection parts 40. The connection between a second inner electrode 34 and the second outer terminal electrode 39 and the interconnection between a plurality of second inner electrodes 34 are carried out by second via hole connection pats 41. The first and second via hole connection parts 40 and 41 are arranged so as to be arrayed alternately. Thus, currents which flow through the inner electrodes 33 and 34 have their current length reduced and are directed into various directions. Also for currents flowing through the via hole connection parts 40 and 41, they are directed in directions opposite to each other to offset the magnetic fluxes, thus reducing ESL.



Data supplied from the **esp@cenet** database - Worldwide

(51) Int.Cl.⁶
H 01 G 4/30識別記号
301F I
H 01 G 4/30301D
301B

審査請求 未請求 請求項の数12 O.L (全11頁)

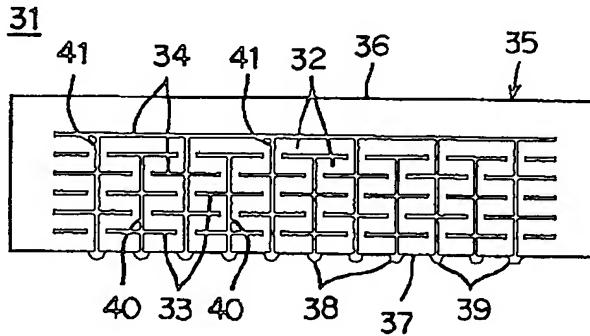
(21)出願番号 特願平10-242959
 (22)出願日 平成10年(1998)8月28日
 (31)優先権主張番号 特願平9-313206
 (32)優先日 平9(1997)11月14日
 (33)優先権主張国 日本 (JP)

(71)出願人 000006231
 株式会社村田製作所
 京都府長岡市天神二丁目26番10号
 (72)発明者 内藤 康行
 京都府長岡市天神二丁目26番10号 株式会社村田製作所内
 (72)発明者 谷口 政明
 京都府長岡市天神二丁目26番10号 株式会社村田製作所内
 (72)発明者 黒田 誠一
 京都府長岡市天神二丁目26番10号 株式会社村田製作所内
 (74)代理人 弁理士 小柴 雅昭 (外1名)
 最終頁に続く

(54)【発明の名称】 積層コンデンサ

(57)【要約】

【課題】 積層コンデンサの等価直列インダクタンス (E S L) を低減する。
 【解決手段】 第1および第2の外部端子電極38, 39の双方をコンデンサ本体35の一方主面37上に形成し、コンデンサ本体35の内部にある第1の内部電極33と第1の外部端子電極38との接続および複数の第1の内部電極33相互の接続を第1のビアホール接続部40によって達成し、第2の内部電極34と第2の外部端子電極39との接続および複数の第2の内部電極34相互の接続を第2のビアホール接続部41によって達成する。第1および第2のビアホール接続部40, 41は、交互に並ぶように配置される。このようにして、内部電極33, 34を流れる電流については、電流長が短くされるとともに、種々の方向へ向けられ、また、ビアホール接続部40, 41を流れる電流については、互いに逆向きにされることによって、磁束が相殺され、E S Lが低減される。



(51)Int.Cl.⁶
H 01 G 4/30識別記号
301F I
H 01 G 4/30301D
301B

審査請求 未請求 請求項の数12 O L (全 11 頁)

(21)出願番号 特願平10-242959
 (22)出願日 平成10年(1998)8月28日
 (31)優先権主張番号 特願平9-313206
 (32)優先日 平9(1997)11月14日
 (33)優先権主張国 日本 (JP)

(71)出願人 000006231
 株式会社村田製作所
 京都府長岡京市天神二丁目26番10号
 (72)発明者 内藤 康行
 京都府長岡京市天神二丁目26番10号 株式
 会社村田製作所内
 (72)発明者 谷口 政明
 京都府長岡京市天神二丁目26番10号 株式
 会社村田製作所内
 (72)発明者 黒田 善一
 京都府長岡京市天神二丁目26番10号 株式
 会社村田製作所内
 (74)代理人 弁理士 小柴 雅昭 (外1名)

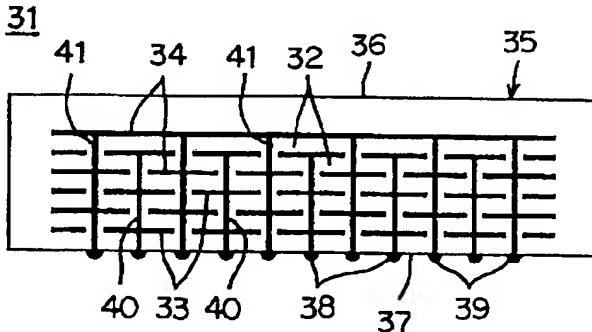
最終頁に続く

(54)【発明の名称】 積層コンデンサ

(57)【要約】

【課題】 積層コンデンサの等価直列インダクタンス (E S L) を低減する。

【解決手段】 第1および第2の外部端子電極38, 39の双方をコンデンサ本体35の一方主面37上に形成し、コンデンサ本体35の内部にある第1の内部電極33と第1の外部端子電極38との接続および複数の第1の内部電極33相互の接続を第1のビアホール接続部40によって達成し、第2の内部電極34と第2の外部端子電極39との接続および複数の第2の内部電極34相互の接続を第2のビアホール接続部41によって達成する。第1および第2のビアホール接続部40, 41は、交互に並ぶように配置される。このようにして、内部電極33, 34を流れる電流については、電流長が短くされるとともに、種々の方向へ向けられ、また、ビアホール接続部40, 41を流れる電流については、互いに逆向きにされることによって、磁束が相殺され、E S Lが低減される。



の積層コンデンサとして、たとえば特開平7-201651号公報に記載されたものがある。ここでは、図9に断面構造を示すような積層コンデンサ11が開示されている。

【0007】積層コンデンサ11は、図8に示した積層コンデンサ1と同様、積層される複数の誘電体層12、ならびに複数のコンデンサユニットを形成するように特定の誘電体層12を介して互いに対向しながら誘電体層12の積層方向に交互に配置される複数対の第1および第2の内部電極13および14を有する、コンデンサ本体15を備えている。

【0008】この積層コンデンサ11においては、コンデンサ本体15の、内部電極13および14と平行に延びる第1および第2の主面16および17上に、それぞれ、第1および第2の外部端子電極18および19が形成される。

【0009】また、コンデンサ本体15の内部には、第2の内部電極14に対して電気的に絶縁された状態で第2の内部電極14を貫通しながら、第1の内部電極13と第1の外部端子電極18とを電気的に接続するとともに、複数の第1の内部電極13を互いに電気的に接続するように、特定の誘電体層12を貫通する複数の第1のビアホール接続部20と、第1の内部電極13に対して電気的に絶縁された状態で第1の内部電極13を貫通しながら、第2の内部電極14と第2の外部端子電極19とを電気的に接続するとともに、複数の第2の内部電極14を互いに電気的に接続するように、特定の誘電体層12を貫通する第2のビアホール接続部21とが設けられている、このようにして、複数対の第1および第2の内部電極13および14の対向によって形成された複数のコンデンサユニットがそれぞれ与える静電容量は、第1および第2のビアホール接続部20および21を介し、第1および第2の外部端子電極18および19によって、並列接続されながら外部に取り出される。

【0010】

【発明が解決しようとする課題】まず、図8に示した積層コンデンサ1においては、次のような問題がある。

【0011】図10には、積層コンデンサ1のたとえば第1の内部電極3内を流れる典型的な電流22の経路および方向が矢印で示されている。図示した状態あるいは時点では、電流22は、第1の内部電極3に対向する第2の内部電極4（図10では図示せず。）から誘電体層2を通じて第1の内部電極3に至り、次いで、この第1の内部電極3内を通じて、第1の外部端子電極8へと至る。

【0012】このように電流22が流れたとき、周知のように、電流22の方向によってその方向が決まる磁束が誘起され、そのため自己インダクタンス成分が生じる。このとき、電流22は、内部電極3の長手方向に流れようになるため、積層コンデンサ1の等価直列イン

ダクタンス（ESL）が比較的大きく生じる。したがって、積層コンデンサ1は、たとえばデカップリングコンデンサやバイパスコンデンサとして用いられるとき、高周波域では、コンデンサとして適正に機能し得ないことがある。

【0013】これに対して、図9に示した積層コンデンサ11は、高周波域での使用に適するように、等価直列インダクタンス（ESL）の低減化に対する配慮が払われている。

【0014】図11には、積層コンデンサ11のたとえば第1の内部電極13内を流れる典型的な電流23の経路および方向が矢印で示されている。図示した状態あるいは時点では、電流23は、第1の内部電極13に対向する第2の内部電極14（図11では図示せず。）から誘電体層12を貫通する第2のビアホール接続部21を通じて第1の内部電極13に至り、次いで、この第1の内部電極13内を通じて、その多くは、最も近傍の第1のビアホール接続部20へと至り、さらに、第1のビアホール接続部20を通じて第1の外部端子電極18へと至る。

【0015】このような電流23の流れに関して、ビアホール接続部20または21の各周辺部に注目したとき、電流23は種々の方向に向けられるので、この電流23によって誘起される磁束は有利に相殺され、磁束の発生を低減することができる。また、内部電極13または14内を流れる電流23の経路長は、隣り合うビアホール接続部20および21の間に限定されるので、各電流長を比較的短くすることができ、このことによっても、これらの間で発生する自己インダクタンス成分は、低くされることができる。

【0016】しかしながら、積層コンデンサ11においてESLの低減化が図られているのは、内部電極13および14の延びる方向への電流23によって誘起される磁束に関してだけである。図12は、図9に示した積層コンデンサ11の一部を拡大して示すもので、ここには、積層コンデンサ11のビアホール接続部20および21内をそれぞれ流れる電流24および25が破線の矢印で示されている。

【0017】図9において、電流が、たとえば第2の外部端子電極19から第1の外部端子電極18へと流れるすると、第2の外部端子電極19に接続される第2のビアホール接続部21では、図12において上向きの電流25が流れ、また、第1の外部端子電極18に接続される第1のビアホール接続部20においても、上向きの電流24が流れ。すなわち、第1のビアホール接続部20を流れる電流24と第2のビアホール接続部21を流れる電流25とは、互いに同じ向きを有している。

【0018】このように、第1および第2のビアホール接続部20および21を流れる電流24および25によって、それぞれ、図13に示すような磁束26および2

7を発生する。なお、ピアホール接続部20および21をそれぞれ流れる電流24および25は、図13において、紙面の裏側から表側へと流れている。上述した磁束26および27は、ピアホール接続部20および21間では互いに異なる方向に向いており、そのため、ピアホール接続部20および21間という限られた領域では、相殺されることになるが、ピアホール接続部20および21間という狭い領域では、磁束密度に制限があり、全体として見たときには、磁束26および27を取り囲むように図示した磁束28が現れる。

【0019】その結果、ピアホール接続部20および21を流れる電流24および25によって生じる磁束26および27に関しては、効果的に相殺されるに至らず、あくまでも自己インダクタンスの発生および増大をもたらす方向に作用する傾向がある。

【0020】したがって、図12に示した積層コンデンサ11において図られた低ESL化のための対策は、効果の点において、未だ不十分であると言える。

【0021】そこで、この発明の目的は、低ESL化をより効果的に図り得るように改良された積層コンデンサを提供しようとするものである。

【0022】

【課題を解決するための手段】この発明に係る積層コンデンサは、上述した技術的課題を解決するため、積層される複数の誘電体層、および特定の誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を有する、コンデンサ本体と、内部電極と平行に延びるコンデンサ本体の一方の主面上に形成される、第1および第2の外部端子電極とを備えている。そして、コンデンサ本体の内部には、第2の内部電極に対して電気的に絶縁された状態で第1の内部電極と第1の外部端子電極とを電気的に接続するように特定の誘電体層を貫通する第1のピアホール接続部と、第1のピアホール接続部に隣り合いながら、第1の内部電極に対して電気的に絶縁された状態で第2の内部電極と第2の外部端子電極とを電気的に接続するように特定の誘電体層を貫通する第2のピアホール接続部とが設けられている。

【0023】この発明において、好ましくは、第1のピアホール接続部と第2のピアホール接続部とは、互いの間隔が2mm以内、より好ましくは、1mm以内となるように配置される。すなわち、第1のピアホール接続部と第2のピアホール接続部との間隔は、可能な限り狭い方が好ましい。

【0024】また、この発明において、それ複数の第1および第2のピアホール接続部が設けられることが好ましい。

【0025】上述の好ましい実施形態において、複数の第1のピアホール接続部および複数の第2のピアホール接続部は、それぞれ、第1および第2の内部電極の各々の全域にわたって分布するように配置されても、第1お

よび第2の内部電極の各々の周縁部にのみ分布するように配置されてもよい。

【0026】また、上述した好ましい実施形態による複数の第1のピアホール接続部と複数の第2のピアホール接続部との配置状態において、より好ましくは、各第1のピアホール接続部に最も近いピアホール接続部は第2のピアホール接続部となるようにされる。

【0027】さらに好ましくは、複数の第1のピアホール接続部と複数の第2のピアホール接続部とは、交互に並ぶように配置される。

【0028】また、好ましくは、第1および第2の内部電極は、実質的に四角形をなし、当該四角形の4つの角の部分には、丸みが付与される。そして、より好ましくは、第1および第2のピアホール接続部のそれぞれの断面は、実質的に円形をなすようにされ、第1および第2の内部電極の角の部分の丸みは、当該角に最も近い第1または第2のピアホール接続部の断面形状と実質的に同心の円弧をもって与えられる。

【0029】また、この発明において、好ましくは、第1および第2の外部端子電極は、点状の形態をなしている。

【0030】また、この発明の好ましい実施形態では、それ複数の第1および第2の内部電極が、誘電体層の積層方向に交互に配置されるように設けられ、第1のピアホール接続部は、さらに、第2の内部電極を貫通しながら複数の第1の内部電極を互いに電気的に接続するように延び、かつ、第2のピアホール接続部は、さらに、第1の内部電極を貫通しながら複数の第2の内部電極を互いに電気的に接続するように延びている。

【0031】

【発明の実施の形態】図1ないし図4は、この発明の一実施形態による積層コンデンサ31を示している。ここで、図1は、積層コンデンサ31の内部構造を、垂直方向の断面をもって示す正面図であり、図2は、積層コンデンサ31の内部構造を、第1の水平方向の断面をもって示す平面図であり、図3は、積層コンデンサ31の内部構造を、第1の断面とは異なる第2の水平方向の断面をもって示す平面図であり、図4は、積層コンデンサ31の外観を示す下面図である。

【0032】積層コンデンサ31は、たとえばセラミック誘電体からなる複数の誘電体層32、ならびに複数のコンデンサユニットを形成するように特定の誘電体層32を介して互いに対向する複数対の第1および第2の内部電極33および34を有する、コンデンサ本体35を備えている。

【0033】コンデンサ本体35は、たとえば、誘電体層32となるべき複数のセラミックグリーンシートを用意し、特定のセラミックグリーンシート上に内部電極33および34を形成し、これらセラミックグリーンシートを積み重ねてプレスし、次いで切断することによつ

て、個々のコンデンサ本体35となるべき寸法の生のチップを得た後、焼成する、各工程を経て製造される。

【0034】図2に、第1の内部電極33が図示されていることからわかるように、図2は、第1の内部電極33が通る断面を示し、また、図3に、第2の内部電極34が図示されていることからわかるように、図3は、第2の内部電極34が通る断面を示している。なお、図2および図3において、内部電極33および34は、ハッキングを施すことによって各々の形成領域をより明確に理解できるようにされている。

【0035】コンデンサ本体35は、内部電極33および34と平行に延びる第1および第2の主面36および37を有している。コンデンサ本体35の第2の主面37上には、各々複数の第1および第2の外部端子電極38および39が、たとえば点状の形態をなして形成されている。

【0036】コンデンサ本体35の内部には、第1の内部電極33と第1の外部端子電極38とを電気的に接続するように特定の誘電体層32を貫通して延びる第1のビアホール接続部40が設けられる。また、第1のビアホール接続部40に隣り合いながら、第2の内部電極34と第2の外部端子電極39とを電気的に接続するように特定の誘電体層32を貫通して延びる第2のビアホール接続部41が設けられている。

【0037】この実施形態では、より大きな静電容量が得られるようにするため、それぞれ複数の第1および第2の内部電極33および34が、誘電体層32の積層方向に交互に配置され、それによって、第1の内部電極33と第2の内部電極34との対向する部分の数が複数とされ、複数のコンデンサユニットを形成するようにされている。そして、これら複数のコンデンサユニットも、上述した第1および第2のビアホール接続部40および41によって並列接続される。より詳細には、第1のビアホール接続部40は、第2の内部電極34を貫通しながら複数の第1の内部電極33を互いに電気的に接続するように延び、かつ、第2のビアホール接続部41は、第1の内部電極33を貫通しながら複数の第2の内部電極34を互いに電気的に接続するように延びている。

【0038】また、図3によく示されているように、第2の内部電極34は、第1のビアホール接続部40が貫通する部分の周囲にギャップ42を形成していて、それによって、第1のビアホール接続部40は、第2の内部電極34に対して電気的に絶縁された状態とされている。また、図2によく示されているように、第1の内部電極33は、第2のビアホール接続部41が貫通する部分の周囲にギャップ43を形成していて、それによって、第2のビアホール接続部41は、第1の内部電極33に対して電気的に絶縁された状態とされている。

【0039】また、この実施形態では、それぞれ複数の第1および第2のビアホール接続部40および41が設

けられている。そして、これら複数の第1のビアホール接続部40および複数の第2のビアホール接続部41は、それぞれ、第1および第2の内部電極33および34の各々の全域にわたって分布するように配置されている。

【0040】また、これら第1および第2のビアホール接続部40および41の配置状態において、各第1のビアホール接続部40に最も近いビアホール接続部は、第2のビアホール接続部41となるようにされている。より特定的には、この実施形態では、これら第1および第2のビアホール接続部40および41は、交互に並ぶように配置される。これに応じて、第1および第2の外部端子電極38および39も、交互に並ぶように配置される。

【0041】なお、上述したようなビアホール接続部40および41を形成するため、たとえば、前述したコンデンサ本体35の製造過程において、積み重ね前の特定のセラミックグリーンシートにパンチやレーザ等による穴が設けられ、その中に導電性ペーストが充填される。

【0042】この実施形態において、内部電極33および34の延びる方向への電流は、図11に示した電流23と実質的に同様の態様で流れる。したがって、ビアホール接続部40または41の各周辺部において、電流が種々の方向に向けられるので、この電流によって誘起される磁束は有利に相殺され、磁束の発生を低減することができる。また、内部電極33または34内を流れる電流の経路長は、隣り合うビアホール接続部40および41の間に限定されるので、各電流長を短くすることができ、このことによっても、これらの間で発生する自己インダクタンス成分は、低くされることができる。

【0043】また、この実施形態では、第1および第2の内部電極33および34は、実質的に四角形をなしながら、当該四角形の4つの角の部分には、丸みが付与されている。このことによって、角に丸みが付与されない場合に比べて、第1および第2の内部電極33および34のそれぞれの角の部分における端縁とこの角に最も近い第1または第2のビアホール接続部40または41との距離をより短くすることができる。このことも、電流長を短くするように機能し、インダクタンスの低減に寄与し得る。

【0044】また、この実施形態では、第1および第2のビアホール接続部40および41のそれぞれの断面は、実質的に円形をなすようにされ、第1および第2の内部電極33および34の上述した角の部分の丸みは、当該角に最も近い第1または第2のビアホール接続部40または41の断面形状と実質的に同心の円弧をもって与えられる。このような構成によれば、上述した電流長を短くする機能をより効果的に発揮させることができる。

【0045】なお、上述したような第1および第2の内

部電極33および34の各角の部分に丸みを付与することによって得られる効果を特に期待しないならば、図2および図3において想像線で示したような角の部分に丸みが付与されない内部電極33aおよび34aに置き換えられてもよい。

【0046】このようにして、この実施形態によれば、まず、内部電極33および34の延びる方向への電流によって誘起される磁束に関して、積層コンデンサ31のESLの低減化が図られている。

【0047】図5は、図1に示した積層コンデンサ31の一部を拡大して示す、図12に対応する図であって、ここには、積層コンデンサ31のピアホール接続部40および41内をそれぞれ流れる電流44および45が破線の矢印で示されている。

【0048】図1において、電流が、たとえば第1の外部端子電極38から第2の外部端子電極39へと流れるすると、第1の外部端子電極38に接続される第1のピアホール接続部40においては、図5において上向きの電流44が流れ、他方、第2の外部端子電極39に接続される第2のピアホール接続部41では、下向きの電流45が流れる。すなわち、第1のピアホール接続部40を流れる電流44と第2のピアホール接続部41を流れる電流45とは、互いに逆向きとなっている。

【0049】その結果、第1および第2のピアホール接続部40および41を流れる電流44および45によって、それぞれ、図6に示すような互いに逆向きの磁束46および47を発生する。なお、図6において、第1のピアホール接続部40を流れる電流44は、紙面の裏側から表側へと流れ、第2のピアホール接続部41を流れる電流45は、紙面の表側から裏側へと流れている。

【0050】したがって、ピアホール接続部40および41の外側においては、磁束46と磁束47とが効果的に相殺される。なお、磁束46および47は、ピアホール接続部40および41間では互いに同じ方向に向いており、そのため、ピアホール接続部40および41間という限られた領域では、互いに重畳されることになるが、ピアホール接続部40および41間という狭い領域では、磁束密度に制限があるため、全体として見たときには、磁束46と磁束47とは効果的に相殺される。

【0051】上述した磁束46と磁束47との相殺の度合いをより高めるためには、第1のピアホール接続部40と第2のピアホール接続部41との間隔は狭い方が良く、好ましくは、たとえば2mm以内、より好ましくは、1mm以内となるように設計される。

【0052】このように、この実施形態によれば、内部電極33および34の延びる方向への電流によって誘起される磁束が効果的に相殺されるばかりでなく、ピアホール接続部40および41を流れる電流によって誘起される磁束46および47も効果的に相殺され、したがって、積層コンデンサ31のESLを、図9に示した積層

コンデンサ11に比較して、さらに小さく抑えることができる。

【0053】以上説明した、この実施形態に係る積層コンデンサ31(実施例)、ならびに従来の図8に示した積層コンデンサ1(比較例1)および従来の図9に示した積層コンデンサ11(比較例2)の各試料を作製し、各々のESLを評価した。

【0054】ここで、各試料は、各内部電極の外形寸法を5mm×5mmとし、第1および第2の内部電極を合わせて40枚積層したものとした。また、実施例および比較例2にあっては、第1および第2のピアホール接続部を合わせて5行、5列に合計25個配置し、第1および第2のピアホール接続部の各間隔(隣り合うピアホール接続部の各中心間距離)を1mm、また、第1および第2のピアホール接続部の各径を100μmとした。

【0055】また、ESLは、共振法によって求めた。共振法とは、各試料となる積層コンデンサについてインピーダンスの周波数特性を測定し、極小点(コンデンサの容量成分C_sとESLとの間の直列共振点と呼ぶ。)の周波数f₀から、

$$ESL = 1 / [(2\pi f_0)^2 \times C_s]$$

によって、ESLを求めようとする方法である。

【0056】各試料のESL測定値を以下の表1に示す。

【0057】

【表1】

	ESL値 (pH)
実施例	26
比較例1	590
比較例2	73

表1から、実施例は、比較例1および2のいずれに比べても、ESLが低く抑えられていることがわかる。なお、比較例2では、比較例1との比較で、内部電極に流れる電流による磁束は相殺されていることがわかるが、実施例との比較で、第1および第2のピアホール接続部には同じ方向に電流が流れているためにこの部分で自己インダクタンスが生じていることがわかる。

【0058】次に、この発明の実施形態に係る積層コンデンサ31を、上述の実施例と同様の積層枚数および製造方法によって製造しながら、ピアホール接続部40および41の配置様式を変更したもの、すなわち、ピアホール接続部40および41の配置における行数および列数ならびに間隔を後の表2に示すように変更したものと、試料1～4として作製した。これら試料1～4を通して、最も端のピアホール接続部と内部電極の端縁との間隔の相違による影響を極力排除するため、この間隔を0.5mmに固定した。

【0059】なお、試料1、3および4については、各内部電極の外形寸法を5mm×5mmというように一定としながら、ピアホール接続部の数を表2に示すように変えることにより、ピアホール接続部の間隔を変更した。試料4は、前述した表1に示す実施例に相当している。また、試料2については、各内部電極の外形寸法を、試料1に比べて小さく、4mm×4mmとしながら、表2に示す

ように、ピアホール接続部の数を「2×2」として間隔が3mmとなるようにした。

【0060】上述の各試料について、前述した方法と同様の方法により測定したESL値が以下の表2に示されている。

【0061】

【表2】

	行数×列数	間隔 (mm)	ESL値 (pH)
試料1	2×2	4	360
試料2	2×2	3	340
試料3	3×3	2	58
試料4	5×5	1	26

表2からわかるように、ピアホール接続部の配置、特に間隔を変えることによって、内部電極を流れる電流の経路長や、内部電極あるいはピアホール接続部を流れる電流が誘起する磁束の様子、すなわち磁束の相殺の態様が変わり、その結果、測定されたESL値も変わっている。ESL値の低下に関して、より具体的には、試料1および2のように、ピアホール接続部の間隔が3mm以上あるときには、それほど効果が現れず、試料3および4のように、2mm以下とすることによって、磁束の相殺によるESL値の低下が顕著に現れている。特に、試料4のように、当該間隔が1mm以下となったときには、ESL値は、26pHというように、30pH以下となっている。

【0062】図7は、この発明の他の実施形態による積層コンデンサ51の内部構造を、水平方向の断面をもって示す平面図である。

【0063】この積層コンデンサ51も、前述した図1ないし図4に示す積層コンデンサ31の場合と同様、積層された複数の誘電体層52、ならびに複数のコンデンサユニットを形成するように特定の誘電体層52を介して互いに対向する複数対の第1および第2の内部電極53および54を有する、コンデンサ本体55を備えている。

【0064】なお、図7には、内部電極53および54が互いに重なった状態で破線で示されていることからわかるように、図7は、ある特定の誘電体層52の内部を通る断面を示している。

【0065】また、前述した積層コンデンサ31の場合と同様、コンデンサ本体55の内部には、複数の第1の内部電極53を互いに電気的に接続するように特定の誘電体層52を貫通して延びる第1のピアホール接続部56、ならびに、複数の第2の内部電極54を互いに電気的に接続するように特定の誘電体層52を貫通して延びる第2のピアホール接続部57が設けられている。

【0066】図7において、第1のピアホール接続部56

と第2のピアホール接続部57とを明瞭に区別できるようにするため、第1のピアホール接続部56を白丸で、第2のピアホール接続部57を黒丸でそれぞれ示している。

【0067】なお、言うまでもないが、第1のピアホール接続部56は、第2の内部電極54に対して電気的に絶縁された状態にあり、第2のピアホール接続部57は、第1の内部電極53に対して電気的に絶縁された状態にある。

【0068】図7からわかるように、この実施形態では、複数の第1のピアホール接続部56および複数の第2のピアホール接続部57は、それぞれ、第1および第2の内部電極53および54の各々の周縁部にのみ分布するように配置されていることを特徴としている。特に、この実施形態では、複数の第1および第2のピアホール接続部56および57は、第1および第2の内部電極53および54の各々の周縁部に沿って1列に配列されている。

【0069】その他の点、たとえば、各第1のピアホール接続部56に最も近いピアホール接続部は第2のピアホール接続部57となるようにされること、複数の第1のピアホール接続部56と複数の第2のピアホール接続部57とは、交互に並ぶように配置されること、第1および第2の内部電極53および54は、実質的に四角形をなし、当該四角形の4つの角の部分には、丸みが付与されること、第1および第2のピアホール接続部56および57のそれぞれの断面は、実質的に円形をなすようにされ、第1および第2の内部電極53および54の角の部分の丸みは、当該角に最も近い第1または第2のピアホール接続部56および57の断面形状と実質的に同心の円弧をもって与えられること、等については、前述した積層コンデンサ31の場合と同様である。

【0070】図7には図示されないが、コンデンサ本体55の、内部電極53および54と平行に延びる一方の主面上には、各々複数の第1および第2の外部端子電極

が、たとえば点状の形態をなして形成され、前述した第1のビアホール接続部56の各々は、第1の外部端子電極の各々に電気的に接続され、第2のビアホール接続部57の各々は、第2の外部端子電極の各々に電気的に接続される。したがって、第1および第2の外部端子電極の分布状態は、図7に示したビアホール接続部56および57の分布状態と実質的に同様となる。

【0071】図7には、内部電極53および54の延びる方向に関して流れる典型的な電流58の経路および方向が矢印をもって示されている。この実施形態においても、内部電極53および54の延びる方向に関して流れる電流58は種々の方向に向けられるので、この電流58によって誘起される磁束は有利に相殺され、磁束の発生を低減することができ、まず、この点において、低ESL化を図ることができる。

【0072】また、ビアホール接続部56および57の延びる方向に関して流れる電流については、図示しないが、前述した図5に示した電流44および45と実質的に同様の態様で流れる。すなわち、第1のビアホール接続部56を流れる電流と第2のビアホール接続部57を流れる電流とは互いに逆向きとなる。そのため、それぞれの電流によって発生する磁束が互いに逆向きとなり、これら磁束は、互いの間で効果的に相殺されることができ、この点においても、低ESL化を図ることができる。

【0073】この実施形態は、内部電極53および54の中央部においては、ビアホール接続部を分布させなくても、低ESL化に対する効果にそれほど差がない場合もある、という知見に基づくものである。積層コンデンサ51が特に小型の場合において、この実施形態を有利に適用することができる。積層コンデンサ51が小型の場合には、図7に示した電流58の経路長は、最も遠く離て位置するビアホール接続部56および57の間ににおいても、それほど長くなることがないからである。

【0074】実験によれば、内部電極53および54の各外形寸法を5mm×5mmとし、各々の径が100μmの第1および第2のビアホール接続部56および57を、図7に示すように、各2個ずつ内部電極53および54の各辺に沿って等間隔に配置し、第1および第2の内部電極53および54を合わせて40枚積層したものについて、ESLを測定したところ、31pHの値が得られた。

【0075】以上、この発明を図示した実施形態に関して説明したが、この発明の範囲内において、たとえば、内部電極の数を種々に変更したり、また、ビアホール接続部の数や位置を変更したり、それに応じて、外部端子電極の数や位置を変更したりすることができる。さらには、誘電体層に使われる誘電体や内部電極および外部端子電極に使われる導電体の種類は、適宜変更することができる。

【0076】

【発明の効果】以上のように、この発明に係る積層コンデンサは、積層される複数の誘電体層、および特定の誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を有する、コンデンサ本体を備え、第1および第2の外部端子電極が、このコンデンサ本体の、内部電極と平行に延びる一方の主面上に形成されるとともに、コンデンサ本体の内部には、第2の内部電極に対して電気的に絶縁された状態で第1の内部電極と第1の外部端子電極とを電気的に接続するように特定の誘電体層を貫通する第1のビアホール接続部と、第1のビアホール接続部に隣り合いながら、第1の内部電極に対して電気的に絶縁された状態で第2の内部電極と第2の外部端子電極とを電気的に接続するように特定の誘電体層を貫通する第2のビアホール接続部とが設けられている。

【0077】したがって、まず、各内部電極での電流を、各内部電極に接続されまたは貫通するビアホール接続部の周囲で種々の方向へ向けることによって磁束を効果的に相殺することができるとともに、電流長を短くすることができるので、ESLを小さくすることができる。のみならず、第1および第2の外部端子電極が、ともに、コンデンサ本体の一方の主面上に形成されているので、第1のビアホール接続部を流れる電流とこれに隣り合う第2のビアホール接続部を流れる電流とを互いに異なる方向へ向けることができ、そのため、これらビアホール接続部を流れる電流によって誘起される磁束も効果的に相殺することができ、この点においても、ESLを低減することができる。

【0078】したがって、共振周波数を高周波化することができる。このことは、コンデンサとして機能する周波数域が高周波化することを意味し、そのため、この発明に係る積層コンデンサは、電子回路の高周波化に十分対応することができ、たとえば、高周波回路におけるバイパスコンデンサ、デカップリングコンデンサとして有利に用いることができる。また、MPU（マイクロプロセッサユニット）等に使用されるデカップリングコンデンサにあっては、クイックパワーサプライとしての機能（立ち上がり時等、電力が急に必要な時に、コンデンサに充電された電気量から電力を供給する機能）も要求されるが、この発明に係る積層コンデンサは低ESLであるので、このような用途に向けられたとき、高速性に十分対応することができる。

【0079】この発明において、第1のビアホール接続部と第2のビアホール接続部との間隔が2mm以内にされるとき、前述したような磁束の相殺の度合いがより顕著に高められる。また、この間隔は、2mm以内、さらには、1mm以内というように、より狭くされるほど、磁束の相殺の度合いが高められ、たとえば、1mm以下とされたときには、ESL値は30pH以下にまで低減される

ことができる。発展が著しいコンピュータのプロセッサユニットにおいては、動作周波数の高周波化が進んでおり、1 GHzを超えるものが検討されている。このようなプロセッサユニットの近傍に使用するデカップリングコンデンサにおいては、ESL値が3.0 pH以下という従来にはない小さいものが求められている。上述のように、この発明に係る積層コンデンサは、ESL値を3.0 pH以下にまで低減することができるので、このような要求に十分応えることができる。

【0080】また、この発明において、第1および第2のピアホール接続部がそれぞれ複数設けられていると、各内部電極内の電流を、これに接続されるピアホール接続部の周囲で種々の方向へ向けることがより容易になるとともに、電流長をより短くすることができる。

【0081】上述のように、第1および第2のピアホール接続部がそれぞれ複数設けられているとき、複数の第1のピアホール接続部および複数の第2のピアホール接続部を、それぞれ、第1および第2の内部電極の各々の全域にわたって分布するように配置すると、内部電極の面積が比較的大きい場合であっても、内部電極の延びる方向での電流長を短くすることができる。したがって、このような構成は、特に大型の積層コンデンサにおいて有利に適用することができる。

【0082】他方、複数の第1のピアホール接続部および複数の第2のピアホール接続部を、それぞれ、第1および第2の内部電極の各々の周縁部にのみ分布するように配置すると、ピアホール接続部を設けるための加工が簡略化されるため、積層コンデンサの低コスト化を期待できる。特に小型の積層コンデンサの場合には、内部電極の延びる方向での電流長は、最も遠く離れて位置する第1および第2のピアホール接続部間においても、それほど長くなることがないため、低ESL化に対する効果をそれほど低下させることがない。したがって、このような構成は、小型の積層コンデンサにおいて有利に適用することができる。

【0083】また、上述のように、第1および第2のピアホール接続部がそれぞれ複数設けられているとき、各第1のピアホール接続部に最も近いピアホール接続部が第2のピアホール接続部となるように、これらピアホール接続部の配置状態が選ばれると、これらピアホール接続部を流れる電流によって誘起される磁束をより効果的に相殺することができる。特に、複数の第1のピアホール接続部と複数の第2のピアホール接続部とが交互に並ぶように配置されるとき、最も効果的な磁束の相殺が可能になる。

【0084】また、第1および第2の内部電極が、実質的に四角形をなしながら、当該四角形の4つの角の部分に、丸みが付与されていると、丸みが付与されない場合に比べて、第1および第2の内部電極のそれぞれの角の部分における端縁とこの角に最も近い第1または第2の

ピアホール接続部との距離をより短くすることができる。このことは、電流長をより短くするように機能するので、インダクタンスのさらなる低減に寄与し得る。

【0085】また、上述した構成において、第1および第2のピアホール接続部のそれぞれの断面が、実質的に円形をなすようにされ、第1および第2の内部電極の上述した角の部分の丸みは、当該角に最も近い第1または第2のピアホール接続部の断面形状と実質的に同心の円弧をもって与えられると、上述した電流長を短くする機能をより効果的に発揮させることができる。

【0086】また、この発明において、第1および第2の外部端子電極が点状の形態をなしていると、積層コンデンサを適宜の配線基板上に実装する場合、バンプ接続を有利に適用することができる。現在、たとえばMPUのような半導体チップにおいては、動作周波数が高周波化するに伴って、バンプ接続が多用される傾向にあるが、上述したような外部端子電極の形態は、この傾向に適合するものである。また、このようなバンプ接続は、高密度実装を可能とし、接続におけるインダクタンス成分の発生を抑えることができる。

【0087】また、この発明において、取得される静電容量を大きくするためには、それぞれ複数の第1および第2の内部電極が、誘電体層の積層方向に交互に配置されるように設けられるが、このような積層コンデンサにおいて、第1のピアホール接続部が、さらに、第2の内部電極を貫通しながら複数の第1の内部電極を互いに電気的に接続するように延び、かつ、第2のピアホール接続部が、さらに、第1の内部電極を貫通しながら複数の第2の内部電極を互いに電気的に接続するように延びていると、このように大容量化された積層コンデンサにおいて、前述したような各効果を奏すことができる。

【図面の簡単な説明】

【図1】この発明の一実施形態による積層コンデンサ31の内部構造を、垂直方向の断面をもって示す正面図である。

【図2】図1に示した積層コンデンサ31の内部構造を、第1の内部電極33が通る断面をもって示す平面図である。

【図3】図1に示した積層コンデンサ31の内部構造を、第2の内部電極34が通る断面をもって示す平面図である。

【図4】図1に示した積層コンデンサ31の外観を示す下面図である。

【図5】図1に示した積層コンデンサ31の第1および第2のピアホール接続部40および41においてそれぞれ流れる電流44および45を図解的に示す正面図である。

【図6】図5に示した第1および第2のピアホール接続部40および41においてそれぞれ流れる電流によって誘起される磁束46および47を図解的に示す平面図で

ある。

【図7】この発明の他の実施形態による積層コンデンサ51の内部構造を、ある特定の誘電体層52の内部を通る断面をもって示す平面図である。

【図8】従来の最も典型的な積層コンデンサ1の内部構造を、垂直方向の断面をもって示す正面図である。

【図9】この発明にとって特に興味ある従来の積層コンデンサ11の内部構造を、垂直方向の断面をもって示す正面図である。

【図10】図8に示した積層コンデンサ1の内部電極3内を流れる電流22を図解的に示す平面図である。

【図11】図9に示した積層コンデンサ11の内部電極13内を流れる電流23を図解的に示す平面図である。

【図12】図9に示した積層コンデンサ11の第1および第2のピアホール接続部20および21においてそれぞれ流れる電流24および25を図解的に示す正面図である。

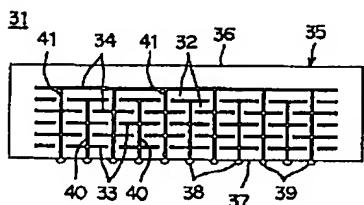
【図13】図12に示した第1および第2のピアホール

接続部20および21においてそれぞれ流れる電流によって誘起される磁束26および27を図解的に示す平面図である。

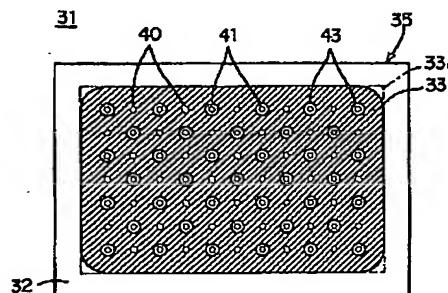
【符号の説明】

- 31, 51 積層コンデンサ
- 32, 52 誘電体層
- 33, 33a, 53 第1の内部電極
- 34, 34a, 54 第2の内部電極
- 35, 55 コンデンサ本体
- 36, 37 主面
- 38 第1の外部端子電極
- 39 第2の外部端子電極
- 40, 56 第1のピアホール接続部
- 41, 57 第2のピアホール接続部
- 42, 43 ギャップ
- 44, 45, 58 電流
- 46, 47 磁束

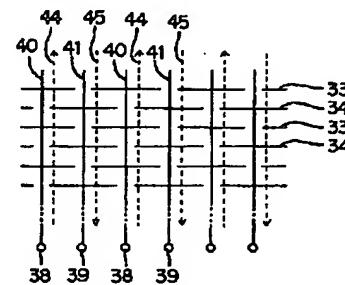
【図1】



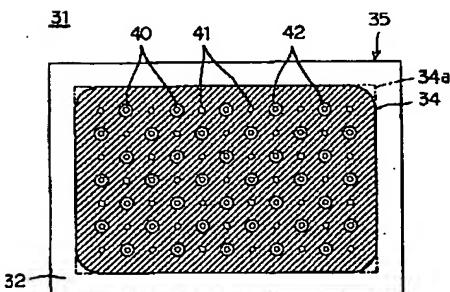
【図2】



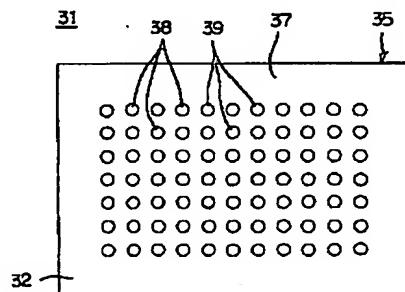
【図5】



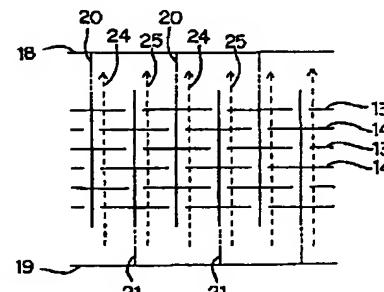
【図3】



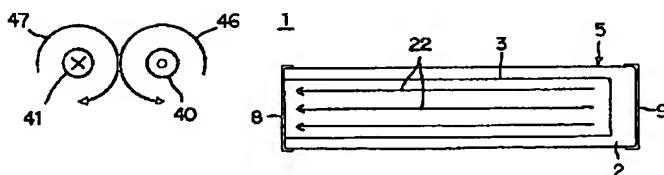
【図4】



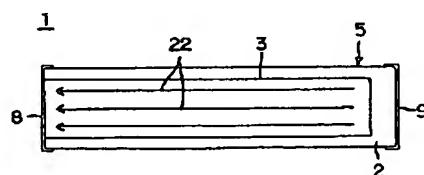
【図12】



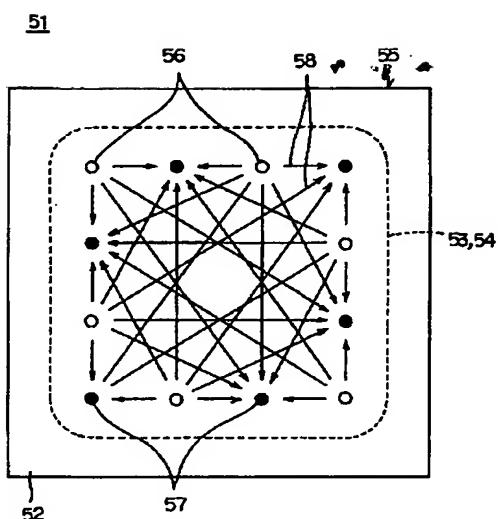
【図6】



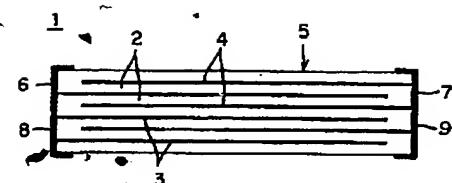
【図10】



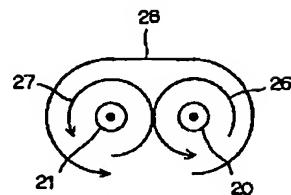
【図7】



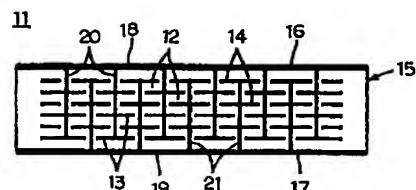
【図8】



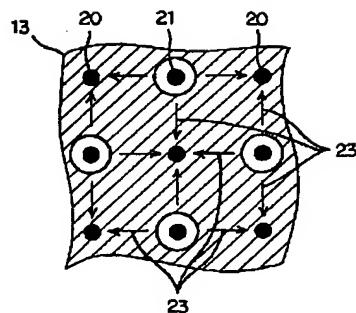
【図13】



【図9】



【図11】



フロントページの続き

(72)発明者 近藤 隆則

京都府長岡市天神二丁目26番10号 株式
会社村田製作所内